

EEPROM DEVICE

Publication number: JP59135698

Publication date: 1984-08-03

Inventor: NABEYA SHINJI; SATOU NOBUYUKI

Applicant: HITACHI LTD; HITACHI MICROCOMPUTER ENG

Classification:

- International: **G11C16/02; G06K19/07; G11C17/00; G11C16/02; G06K19/07; G11C17/00; (IPC1-7): G11C17/00**

- european: **G11C17/00**

Application number: JP19830007266 19830121

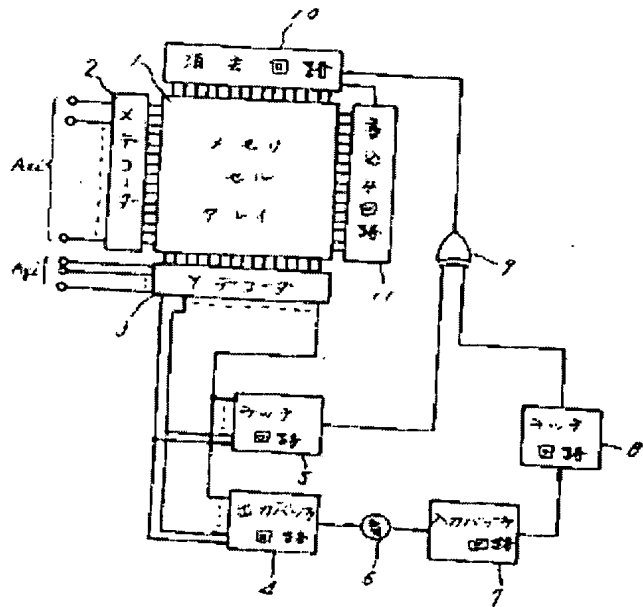
Priority number(s): JP19830007266 19830121

Report a data error here

Abstract of JP59135698

PURPOSE: To reduce a data rewrite time by erasing a data of a memory cell only when a data written newly is different from the data written already in the address location and writing a new data to save the time required for the write of data without change.

CONSTITUTION: When an input data is coincident with a read data, no rewrite of data is executed and the time required for the erase and write is omitted. When the input data is not coincident with the read data, an output of a gate circuit 9 goes to a high level and an erase circuit 10 is operated. Then, the data in a memory cell corresponding to the address signal applied for the case is erased by 8-bits at the same time. Then, a write circuit 11 is operated by a pulse outputted from the erase circuit 10 at the end of data erase so that the new input data is written in the erased memory cell. Thus, the rewrite time required for the entire EEPROM device is reduced remarkably.



Data supplied from the **esp@cenet** database - Worldwide

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—135698

⑤ Int. Cl.³
G 11 C 17/00

識別記号
1 0 1

庁内整理番号
6549—5B

④ 公開 昭和59年(1984)8月3日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ EEPROM装置

マイクロコンピュータエンジニア
リング株式会社内

① 特 願 昭58—7266

⑦ 出 願 人 株式会社日立製作所

② 出 願 昭58(1983)1月21日

東京都千代田区丸の内1丁目5
番1号

③ 発 明 者 鍋谷慎二

⑧ 出 願 人 日立マイクロコンピュータエ
ン지니어リング株式会社

小平市上水本町1450番地株式会
社日立製作所武蔵工場内

小平市上水本町1479番地

④ 発 明 者 佐藤信之

小平市上水本町1479番地日立マ

⑨ 代 理 人 弁理士 高橋明夫 外1名

明 細 書

発明の名称 EEPROM装置

特許請求の範囲

1. マトリックス状に配設された不揮発性メモリ素子からなるメモリセルアレイと、このメモリセルアレイ内のメモリ素子のデータを電気的に消去するための消去回路と、消去されたメモリ素子にデータを書き込むための書き込み回路とを備えたEEPROM装置において、上記メモリセルアレイ内から読み出されたデータを保持するためのラッチ回路と、入出力端子より入力されたデータを保持するためのラッチ回路と、これらのラッチ回路に保持された二組のデータが一致するか否かを検出するための一致検出回路とが設けられ、データ書き換え時に、複数ビットのデータが上記メモリセルアレイ内から読み出されるとともに、読み出された前データと、入出力端子より入力された新データとが一致しない場合のみ、上記消去回路と書き込み回路が動作されてデータの書き換えが行なわれるようにされてなることを特徴とするEEP

(1)

ROM装置。

発明の詳細な説明

この発明は、メモリセルに対して電気的にデータを書き込み、消去できるようにされたEEPROM(エレクトリカル・イレイサブル・プログラマブル・リード・オンリ・メモリ)装置に関する。

従来のEEPROM装置においては、メモリセル内に新しいデータを書き込む場合、先ず全ビットのデータを消去してから、一ビットずつあるいは1バイトのような複数ビットの単位でデータを書き込むようにされていた。

この場合、EEPROM装置では、通常一回の書き込みで10ms程度の時間を要していたので、全データを書き込むには、バイト単位で行なっても64KビットROMで8×10秒以上の時間を必要としていた。

そこでこの発明は、新たに書き込むデータが、既にそのアドレス位置に書き込まれているデータと異なる場合にのみ、そのメモリセルのデータを消去して、新たなデータを書き込むような方式を

(2)

採用することによって変更のないデータの書き込みに必要な時間を節約して、装置全体としてのデータ書き換え時間を短縮できるようにすることを目的とする。

以下図面を用いてこの発明を説明する。

第1図は本発明に係るEEPROM装置の一実施例を示すものである。

図において、1は64Kビットのメモリセルが、例えば256×256ビットのマトリクス状に配設されたメモリセルアレイである。メモリセルアレイ1を構成するメモリセルは、例えば、フローティングゲート電極とコントロールゲート電極とを有するフローティングゲート型トンネル注入方式のMOBFETからなる。

2はXデコーダ回路、3はYデコーダ回路で、このX、Yデコーダ回路2および3は、図示しないOPU(マイクロ・プロセッサ)等から供給されるアドレス信号Ax1、Ay1に対応して、上記メモリセルアレイ1内の8個のメモリセルを選択して、8ビットのデータを並列に読み出すように

(3)

出力ピン6からデータが出力されることはない。

次に、7は上記入出力ピン6に接続された入力バッファ回路で、データ書き換え時に外部のOPU等から入出力ピン6に供給されたデータは、この入力バッファ回路7を介して、ラッチ回路8に送られて保持されるようにされている。

そして、このラッチ回路8に保持された入力データと、前記ラッチ回路5に保持されている読出しデータは、一致検出回路を構成するイクスクループOR回路のようなゲート回路9に供給される。図示しないが、一致検出回路には、読出し、書き込みデータのビット数に応じて、例えば1バイトの場合には8個のゲート回路9が設けられる。

入力データと読出しデータが一致すると、ゲート回路9の出力はロウレベルにされ、一致しないときはハイレベルにされる。このゲート回路9により構成された一致検出回路の出力は、消去回路10に供給されるようにされている。

8ビットの入力データと読出しデータが完全に一致すると、ゲート回路9の出力はすべてロウレ

(5)

されている。

なお、上記X、Yデコーダ回路2および3は、アドレスバッファ機能を有しているものとする。また、Yデコーダ回路3は、センス回路も内蔵するようにされている。

上記X、Yデコーダ回路2および3によってメモリセルアレイから読み出されたデータは、出力バッファ回路4およびラッチ回路5に供給されるようにされている。そして、データ読出し時には、上記ラッチ回路5は動作されず、出力バッファ回路4だけが動作される。これによって、メモリセルアレイ1から読み出された8ビットのデータは、出力バッファ回路4により、入出力ピン6を介して外部に出力される。

一方、データ書き換え時には、出力バッファ回路4は動作されず、ラッチ回路5だけが動作される。そして、上記メモリセルアレイ1からアドレス信号に応じて1バイトのデータが読み出され、ラッチ回路5に保持される。このとき、出力バッファ回路4の出力は高インピーダンス状態にされ、入

(4)

ベルになる。そのため、消去回路10が動作されずにアドレスが更新されて、次の8ビットのデータがメモリセルアレイ1から読み出されて、ラッチ回路5に供給され、保持されるとともに、入出力ピン6より次の新しいデータが入力されて、ラッチ回路8に保持される。

その結果、入力データと読出しデータとが一致する場合には、データの書き換えが行なわれず、消去および書き込みに必要な時間が省略される。

しかし、入力データと読出しデータとが一致しない場合には、ゲート回路9の出力がハイレベルになるため、消去回路10が動作される。すると、そのとき供給されているアドレス信号に対応したメモリセルのデータが8ビット同時に消去される。次に、データ消去終了の時点で消去回路10から出力されるパルスによって、書き込み回路11が動作され、消去されたメモリセルに新しい入力データが書き込まれるようにされている。

このようにして、上記実施例では新たに入力されたデータと、既に書き込まれているデータの

(6)

致、不一致が自動的に検出され、両データが異なる場合にのみ前データの消去と新データの書き込みが行なわれるため、E E P R O M 装置全体としての書き換え時間は大幅に短縮される。

なお、上記実施例では1バイト単位でデータの書き換えが行なわれるようにされたE E P R O M 装置について説明したが、この発明は、これに限定されるものではなく、例えば4ビットあるいは16ビットのような任意のビット数のデータを一括して書き込むようにされたE E P R O M 装置にも適用できるものである。

以上説明したごとくこの発明に係るE E P R O M 装置においては、メモリセルアレイ内から読み出されたデータを保持するためのラッチ回路と、入出力端子より入力されたデータを保持するためのラッチ回路と、これらのラッチ回路に保持された二組のデータが一致するか否かを検出するための一致検出回路とが設けられ、データ書き換え時に複数ビットのデータが上記メモリセルアレイ内から読み出されるとともに、読み出された前データ

(7)

と、入出力端子より入力された新データとが一致しない場合にのみ、データの書き換えが実行される。そのため、変更のないデータの消去、書き込みに要する時間が節約され、装置全体としてのデータ書き換え時間が短縮されるという効果がある。また、データ書き換え時にメモリセルアレイ内からデータが読み出されるようにされているので、このとき適当なタイミングで出力バッファ回路を動作させることにより、書き込み状態でデータの脱出しを行なうデータベリファイ機能も容易に持たせることができる。

さらに、データ書き換え時に外部から消去、書き込みのための制御信号を供給してやる必要がないので、外付のコントロール回路も簡単になる。

なお、この発明は、一チップ化されたE E P R O M のみでなく、ワンチップマイコン内に設けられるR O M にも適用できるものである。

図面の簡単な説明

図面は本発明に係るE E P R O M 装置の一実施例を示すブロック構成図である。

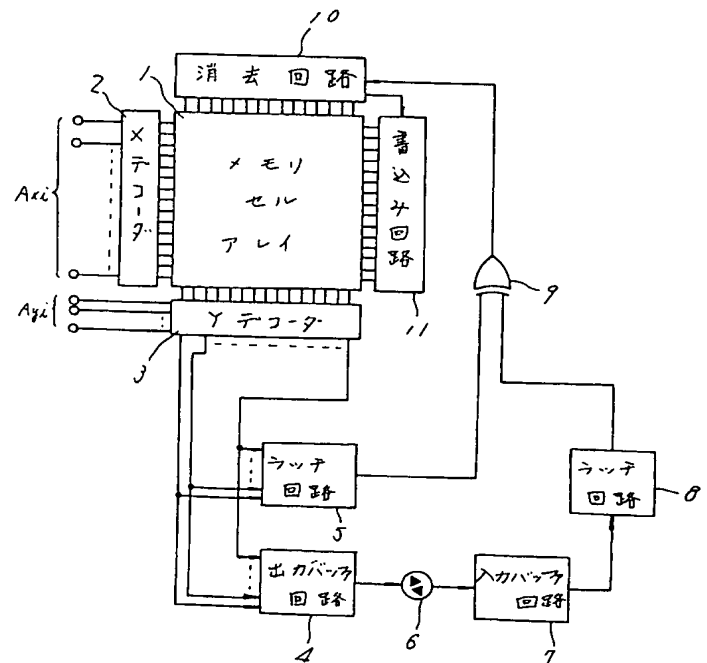
(8)

1…メモリセルアレイ、5…(前データ用)ラッチ回路、6…入出力端子(入出力ピン)、8…(新データ用)ラッチ回路、9…一致検出回路(ゲート回路)、10…消去回路、11…書き込み回路。

代理人 弁理士 高 橋 明 夫



第 1 図



(9)